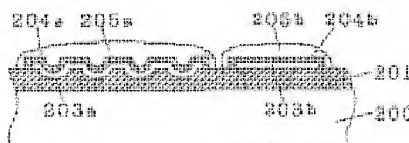


**METHOD AND APPARATUS FOR MANUFACTURING SEMICONDUCTOR DEVICE****Publication number:** JP10163166 (A)**Publication date:** 1998-06-19**Inventor(s):** OTSU YOSHITAKA; MURAOKA SHUNICHI; NAKAMURA TADASHI**Applicant(s):** MITSUBISHI ELECTRIC CORP; RYODEN SEMICONDUCTOR SYST ENG**Classification:****- international:** *H01L27/04; H01L21/306; H01L21/822; H01L21/8242; H01L27/108; H01L27/04; H01L21/02; H01L21/70; H01L27/108; (IPC1-7): H01L21/306; H01L21/822; H01L21/8242; H01L27/04; H01L27/108***- European:****Application number:** JP19960318001 19961128**Priority number(s):** JP19960318001 19961128**Abstract of JP 10163166 (A)**

**PROBLEM TO BE SOLVED:** To provide a method and an apparatus, for manufacturing a semiconductor device, in which toughening of a semiconductor layer can be controlled simply and surely. **SOLUTION:** By a treatment in which a drop of water containing hydrofluoric acid and a photoresist are used, hollows are formed partly on the surface of an oxide film 201 on a silicon substrate 200. A lower-layer polysilicon electrode 203a and a dielectric film 204a are deposited in parts in which the hollows are formed out of the surface of the oxide film 201, the oxide film 201 comprises uneven parts on its surface according to the hollows and has a rough surface. On the other hand, a lower-layer polysilicon electrode 203b and a dielectric film 204b which are deposited and formed in a smooth part in which the hollows are not formed out of the surface of the oxide film 201 comprise a shape whose cross section is flat without having any uneven part. A roughened-face capacitor is constituted of the lower-layer polysilicon electrode 203a, of the dielectric film 204a and of an upper-layer polysilicon electrode 205a. The capacitance of the roughened-face capacitor is large with reference to an occupation area.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-163166

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/306  
27/04  
21/822  
27/108  
21/8242

H 0 1 L 21/306 D  
27/04 C  
27/10 6 2 1 Z

審査請求 未請求 請求項の数8 O L (全 11 頁)

(21) 出願番号 特願平8-318001

(22) 出願日 平成8年(1996)11月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591036505

菱電セミコンダクタシステムエンジニアリ  
ング株式会社

兵庫県伊丹市瑞原4丁目1番地

(72) 発明者 大津 良孝

兵庫県伊丹市瑞原四丁目1番地 菱電セミ  
コンダクタシステムエンジニアリング株式  
会社内

(74) 代理人 弁理士 宮田 金雄 (外2名)

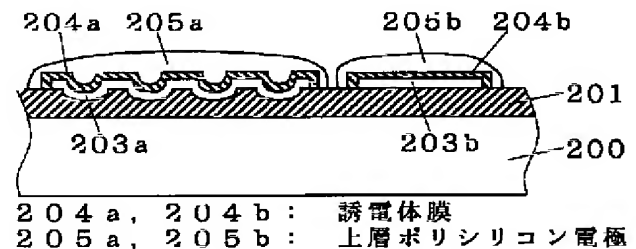
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び製造装置

(57) 【要約】

【課題】 半導体層の粗面化の制御を簡易かつ確実に  
行える半導体装置の製造方法及び製造装置を提供する。

【解決手段】 シリコン基板200上の酸化膜201  
は、弗酸を含む水滴と、フォトリソストとを用いる処理  
によって、表面の一部に窪みが形成されている。下層ポ  
リシリコン電極203a及び誘電体膜204aは、酸化  
膜201の表面のうち窪みが形成された部分に堆積され  
たものであり、酸化膜201の窪みに応じて凹凸を表面  
に有しており粗面化されている。一方、酸化膜201の  
表面のうち窪みが形成されていない平滑な部分に堆積さ  
れ形成された下層ポリシリコン電極203b及び誘電体  
膜204bは、凹凸を有さない平坦な断面の形状を有し  
ている。下層ポリシリコン電極203a、誘電体膜20  
4a及び上層ポリシリコン電極205aによって、粗面  
キャパシタが構成されている。この粗面キャパシタの容  
量は、占有面積に対して大きい。



204a, 204b : 誘電体膜  
205a, 205b : 上層ポリシリコン電極

**【特許請求の範囲】**

**【請求項1】** (a)表面上のエッチング液滴によって半導体酸化膜を部分的に除去する工程と、

(b)前記半導体酸化膜を利用することによって、これに接触している、表面が粗面化されている半導体層を形成する工程とを備える、半導体装置の製造方法。

**【請求項2】** 請求項1に記載の半導体装置の製造方法であって、前記エッチング液滴は、前記工程(a)よりも前に行われる、

(c)前記半導体酸化膜の前記表面上に液滴を形成する工程と、

(d)前記液滴にエッチングガスを溶解させる工程とによって生成される、半導体装置の製造方法。

**【請求項3】** 請求項1に記載の半導体装置の製造方法であって、前記エッチング液滴はアルコールを含んでなる、半導体装置の製造方法。

**【請求項4】** 請求項2に記載の半導体装置の製造方法であって、前記工程(a)は、前記半導体酸化膜に窪みを形成する工程であり、

前記工程(b)は、前記半導体層を前記半導体酸化膜上に堆積させる工程である、半導体装置の製造方法。

**【請求項5】** 請求項2に記載の半導体装置の製造方法であって、前記半導体酸化膜は前記半導体層の前記表面に形成されたものであり、

前記工程(a)は、前記半導体酸化膜に貫通孔を形成する工程であり、

前記工程(b)は、前記半導体酸化膜をマスクとして前記半導体層を部分的に除去する工程である、半導体装置の製造方法。

**【請求項6】** 請求項4または請求項5に記載の半導体装置の製造方法であって、前記工程(c)よりも前に行われる、

(e)前記半導体酸化膜をレジスト膜を用いて部分的に被覆する工程を更に備える、半導体装置の製造方法。

**【請求項7】** 請求項1、請求項4または請求項5に記載の半導体装置の製造方法であって、前記半導体酸化膜及び前記エッチングガスはそれぞれ、酸化シリコン及びフッ化水素を含んでなる、半導体装置の製造方法。

**【請求項8】** エッチング用のガス及び蒸気を導通する導入管と、導出管と、半導体酸化膜が載置され温度制御自在である載置台を有し、前記導入管及び前記導出管を繋がれている隔離容器とを備える、半導体装置の製造装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体層の粗面化を行う半導体装置の製造方法及び製造装置に関する。

**【0002】**

**【従来の技術】** 電極が占有する面積を広げることなく容量の大きいキャパシタを得る方法の一つとして、電極の表面を粗面化するものが挙げられる。図27～図29は、従来技術に従う電極の粗面化方法を工程順に示す断面図である。この方法は、アモルファスシリコンの表面に核を形成し、この核を元にグレイン成長を行って表面が粗面化されたポリシリコンを得るものである。以下に、その処理方法について記載する。

**【0003】** 従来処理工程1. まず、図27に示されるような、シリコン基板1000、酸化シリコン膜1001及びシリコン膜1002を備えるウェーハを準備する。シリコン基板1000は、孔を有する酸化シリコン膜1001によって表面を被覆され、孔によって露出されている部分において、アモルファスシリコンからなるシリコン膜1002と接触している。

**【0004】** 従来処理工程2. ウェーハの表面上に自然成長した酸化膜を除去するために、ウェーハを弗酸にて処理する。

**【0005】** 従来処理工程3. 反応室へとウェーハを持ち込む。この反応室においては、例えば $10^{-5}$ Torr程度の超高真空及び600℃程度の温度である状態が保持されている。反応室において、ウェーハにはジシラン( $\text{Si}_2\text{H}_6$ )ガスが供給される。

**【0006】** ジシランガスによって与えられるシリコン原子がシリコン膜1002の表面部内を高い移動度にて拡散しつつシリコン膜1002内のシリコン原子と衝突することによって、シリコン膜1002の表面に結晶核が形成される。

**【0007】** シリコン膜1002を成すアモルファスシリコンは、結晶核の存在する表面部からシリコン基板1000へと向かう向きにて固相成長する。このとき、シリコン膜1002の表面において高い移動度を有するシリコン原子はシリコン膜1002から結晶核の上部へと回り込み、結晶核は結晶粒へと成長する。

**【0008】** 以上のようにして形成された結晶粒によって、図28において図示されるように、アモルファスシリコンがポリシリコンへと固相成長したシリコン膜1002の表面は粗面化される。

**【0009】** 従来処理工程4. 粗面化されたシリコン膜1002上に誘電体膜及びシリコン膜を順次形成する。図29は、誘電体膜1003及びシリコン膜1004を有する、形成されたシリコン膜1002及びシリコン膜1004を電極とするキャパシタを備えるウェーハを示す断面図である。

**【0010】**

**【発明が解決しようとする課題】** 従来処理工程2における弗酸を用いる処理の後に再び酸化膜が自然成長すると、従来処理工程3におけるシリコン膜1002の表面でのシリコン原子の移動が妨げられる。従って、従来処

理工程3における反応室へのウェーハの持ち込みを従来処理工程2の直後に行わなければならないという制約を受ける。さらに、シリコン膜1002の表面の状態によって結晶粒の成長が影響を受けるので、粗面化の制御が難しいという問題点がある。

【0011】また、図28において図示される従来処理工程3において、酸化シリコン膜2の表面のうちシリコン膜1002によって被覆されていない部分においても、ジシランガスによるポリシリコンの堆積が認められる場合がある。この場合には図30に図示されるように、従来処理工程4を施されたウェーハにおいては誘電体膜1003又はシリコン膜1004内にシリコン粒1005が存在することになる。

【0012】誘電体膜1003内に存在するシリコン粒1005によって、シリコン膜1002とシリコン膜1004との絶縁が悪くなる又は破壊されるという問題点がある。

【0013】従来処理工程4において誘電体膜1003を形成する代わりに、シリコン膜1002の表面を酸化して酸化シリコン膜1006を得ることも可能である(図31)。この場合には図30に示されるシリコン粒1005は、シリコン膜1002の表面と同時に酸化されて酸化シリコン粒1007となる。酸化シリコン粒1007によって、酸化シリコン膜1001の表面が荒れるという問題点もある。

【0014】本発明は、以上の問題点に鑑み、半導体層の粗面化の制御を簡易かつ確実にできる半導体装置の製造方法及び製造装置を提供することを目的とする。

【0015】

【課題を解決するための手段】請求項1に記載の半導体装置の製造方法は、(a)表面上のエッチング液滴によって半導体酸化膜を部分的に除去する工程と、(b)前記半導体酸化膜を利用することによって、これに接触している、表面が粗面化されている半導体層を形成する工程とを備える。

【0016】請求項2に記載の半導体装置の製造方法は、請求項1に記載の半導体装置の製造方法であって、前記エッチング液滴は、前記工程(a)よりも前に行われる、(c)前記半導体酸化膜の前記表面上に液滴を形成する工程と、(d)前記液滴にエッチングガスを溶解させる工程とによって生成される。

【0017】請求項3に記載の半導体装置の製造方法は、請求項1に記載の半導体装置の製造方法であって、前記エッチング液滴はアルコールを含んでなる。

【0018】請求項4に記載の半導体装置の製造方法は、請求項2に記載の半導体装置の製造方法であって、前記工程(a)は、前記半導体酸化膜に窪みを形成する工程であり、前記工程(b)は、前記半導体層を前記半導体酸化膜上に堆積させる工程である。

【0019】請求項5に記載の半導体装置の製造方法

は、請求項2に記載の半導体装置の製造方法であって、前記半導体酸化膜は前記半導体層の前記表面に形成されたものであり、前記工程(a)は、前記半導体酸化膜に貫通孔を形成する工程であり、前記工程(b)は、前記半導体酸化膜をマスクとして前記半導体層を部分的に除去する工程である。

【0020】請求項6に記載の半導体装置の製造方法は、請求項4または請求項5に記載の半導体装置の製造方法であって、前記工程(c)よりも前に行われる、(e)前記半導体酸化膜をレジスト膜を用いて部分的に被覆する工程を更に備える。

【0021】請求項7に記載の半導体装置の製造方法は、請求項1、請求項4または請求項5に記載の半導体装置の製造方法であって、前記半導体酸化膜及び前記エッチングガスはそれぞれ、酸化シリコン及びフッ化水素を含んでなる。

【0022】請求項8に記載の半導体装置の製造装置は、エッチング用のガス及び蒸気を導通する導入管と、導出管と、半導体酸化膜が載置され温度制御自在である載置台を有し、前記導入管及び前記導出管を繋がれている隔離容器とを備える。

【0023】

【発明の実施の形態】

実施の形態1. まず、本実施の形態においては、粗面化された半導体層を有する半導体装置を製造するために必要となる、半導体酸化膜を部分的に除去する方法について示す。部分的に除去された半導体酸化膜を用いて表面が粗面化された半導体層を得る方法については、実施の形態3以降において説明を行うものとする。従来技術と同一の構成、構造には同一の参照符号を付す。

【0024】図1は、本実施の形態に従う製造装置の構造を例示する断面図である。密閉することが可能であるチャンバ7にはガス導入管1から気体が流入される。チャンバ7内の気体は真空ポンプ4によって排気配管3から排出される。

【0025】チャンバ7内にはサセプタ8が備えられている。サセプタ8にはコイル状のヒータ9と冷却水が導通する冷却管2とが備えられており、ヒータ9と冷却水とによってサセプタ8の温度を所望に制御することが可能となっている。

【0026】ガス導入管1はチャンバ7内のシャワー状ヘッド5に繋がれている。ガス導入管1からチャンバ7内へと導入された気体は、サセプタ8上に載置された、表面に酸化膜を備えるウェーハ6へと均一に噴霧される。

【0027】図1に示される製造装置を用いる酸化膜の部分的な除去方法について、図2～図5を用いて説明を行う。勿論、図1に示される製造装置を用いてのみ本発明の酸化膜の部分的な除去方法が実現されるわけではない。図2～図5は、酸化膜の部分的な除去方法を工程順

に例示する断面図である。

【0028】まず、図2に示されるように、シリコン基板100とこれの表面上に形成されたシリコン酸化膜である酸化膜101とを備えるウェーハ6をサセプタ8上に載置する。シリコン基板100の表面には回路が集積されていても良い。

【0029】次に、図3に示されるように、酸化膜101上に水滴102を形成する。水滴102には、溶解した際に酸化膜101をエッチングする作用を有するHF（フッ化水素）が溶解している。水滴102は、ガス導入管1からチャンバ7内へと送り込まれた、HFの溶け込んだ水蒸気が酸化膜101表面において結露したものである。

【0030】酸化膜101の表面の温度が水蒸気の沸点よりも低い場合には、水蒸気は結露して水滴102となる。水滴102が所望の大きさ及び個数になった時点で、水蒸気の供給をストップする。図4に示されるように、HFを含む水滴102は酸化膜101をエッチングして穴101hを形成する。エッチングによって酸化膜101が除去された量が所望となった時点でチャンバ7からウェーハ6を取り出し、水洗によって水滴102を取り去る。

【0031】以上の工程によって、図5に示される、穴101hによって表面が粗面化された酸化膜101が得られる。サセプタ8によって酸化膜102の温度を所望に設定することが可能であるので、結露の状態が所望に得られ、穴101hの大きさ及び単位面積当たりの個数を所望に制御することが可能となる。以下にその構成を詳細に説明するが、簡便のために単位面積当たりの個数を「密度」として以下に参照する。

【0032】酸化膜102の温度を比較的低くした場合には水蒸気の結露が速く進行する。このとき、水滴102の大きさは大きく、密度は小さくなる。従って、エッチングによる穴101hは、大きさは大きく、個数は少なくなる。一方、酸化膜101の温度が比較的高い場合には水蒸気の結露は遅く進行し、水滴102は大きさは比較的小さく、密度は比較的大きくなる。これによって、穴101hの大きさは小さく、個数は多くなる。

【0033】まとめると、ガス導入管1から供給される、水蒸気を含むガスの温度及び密度と、冷却管2及びヒータ9を備えるサセプタ8の温度とを制御することによって、酸化膜101の粗面化の度合いが制御される。従って、所望に酸化膜101の粗面化を行うことが可能となり、実施の形態3以降において説明するように、所望の容量を持つキャパシタが得られる。

【0034】ガス導入管1から供給される水蒸気にHFが含まれる場合について説明を行ったが、HCL又はHBr等のハロゲン化水素を用いることも原理的には可能である。しかし、HFは水に溶け込んだ際にエッチング作用が大きく、また酸化シリコンのエッチングに用いら

れるものとしては最も一般的であり入手が容易である。従って、HFを用いることによって酸化膜を速やかに除去することが可能となり、効率が上がる。

【0035】実施の形態2. 本実施の形態においては、実施の形態1における半導体酸化膜の部分的除去を、更に精度良く行うことが可能である方法を示す。以下、既に説明の行われたものと同一の構成、構造には同一の参照符号を付し、説明は省略する。

【0036】図6及び図7は、本実施の形態に従う酸化膜の部分的な除去方法を工程順に例示する断面図である。図6に示される構成は、図3に示される構成の水滴102が水滴102aに置き換えられたものである。他の構成は図3及び図6において共通している。図3に示される構成の水滴102はHFを含んでいるが、図6に示される水滴102aはHFを含んでいないことが両図に示される構成の相違点である。

【0037】図1に示されるガス導入管1から供給する水蒸気にHFを含ませないことによって、水滴102aは得られる。HFを含まないので、水滴102aは図6の状態においては酸化膜101のエッチングは行わない。

【0038】水蒸気が酸化膜101上において所望の大きさ及び密度にて結露した頃合を見計らい、水蒸気の供給を止め、代わりにガス導入管1からHFガスを供給する。HFガスは水滴102aへと図7に示されるように溶解する。これによって水滴102aはエッチング作用を有し、図4に示されるように酸化膜101が部分的に除去されていく。

【0039】本実施の形態の酸化膜の部分的除去方法においては、水滴102aが所望の条件にて形成された後に水滴102aにエッチング力を持たせることが可能である。従って、HFガスの水滴102aへの溶解の量及び速さを把握することによって、穴101hの大きさ及び密度を実施の形態1よりも更に精度良く制御することが可能となる。

【0040】実施の形態3. 図8～図11は、本実施の形態に従う、第1のキャパシタの製造方法を工程順に例示する断面図である。図8に示されるウェーハのシリコン基板200及び酸化膜201は、図2に示される実施の形態1のシリコン基板100及び酸化膜101と同様の構成を有している。酸化膜201の表面は、粗面化を行うべき部分を除き、周知の写真製版技術に従うフォトレジスト202によって被覆されている。

【0041】次に、図9に示されるように、実施の形態1又は実施の形態2に記載の方法によって、酸化膜201の表面のうちフォトレジスト202によって被覆されていない部分に穴201hを穿つ。

【0042】引き続き、フォトレジスト202を除去した後図9に示されるウェーハ上にポリシリコン膜を一面に堆積し、ポリシリコンのパターニングを行う。図1

0は、パターニングによって形成された下層ポリシリコン電極203a、203bを有するウェーハの構造を例示する断面図である。下層ポリシリコン電極203a、203bは、酸化膜201の表面のうち粗面化が行われた部分と行われていない部分とにそれぞれ形成されている。

【0043】堆積されて形成された下層ポリシリコン電極203aの形状は穴201hの存在によってうねっており、その表面は凹凸を有する。即ち、下層ポリシリコン電極203aは粗面化されている。一方、下層ポリシリコン電極203bは、酸化膜201の表面のうち平滑な部分上に堆積され形成されたものであるため、粗面化されてはいない。

【0044】引き続き、図11に示されるように、SiN（窒化シリコン）等である誘電体膜204a、204bと、上層ポリシリコン電極205a、205bとをそれぞれ下層ポリシリコン電極203a、203b上に形成する。これらの形成は、膜の形成及びパターニングによって成される。

【0045】下層ポリシリコン電極203aは粗面化されているので、その形状が誘電体膜204aの形状に反映され、上層ポリシリコン電極205aの表面のうち誘電体膜204aに接触する部分も粗面化されている。一方、下層ポリシリコン電極203bはその形状が平滑であるため、上層ポリシリコン電極205bの表面のうち誘電体膜204bに接触する部分も平滑である。

【0046】以上の構成から明らかなように、酸化膜201のうち、図9に示されるフォトレジスト202によって被覆されていなかった部分には、電極の表面が粗面化されているキャパシタ（粗面キャパシタとして以下に参照する）が形成される。一方、フォトレジスト202によって被覆された部分は、電極の表面が平滑であるキャパシタ（平滑キャパシタ）となる。キャパシタの引き出し電極は図面に対して垂直である方向に沿って存在しており、図示されていない。

【0047】本実施の形態のキャパシタの製造方法においては、粗面キャパシタと平滑キャパシタとを同一のウェーハ上に形成することが可能である。従って、ウェーハ上の面積の割り当てがキャパシタ毎に定まっている際にも、誘電体膜の膜厚等の条件を変えずに様々な容量を有する複数のキャパシタを製造することが可能となる。

【0048】具体的には、キャパシタの電極の表面の粗面化を行うか行わないか、及び粗面化を行う際には粗面化の度合いをどの程度にするかを決定することによって、ある一定面積を占有するキャパシタの容量を所望に変更することが可能となる。

【0049】実施の形態4. 実施の形態3で説明される第1の製造方法においては、酸化膜を粗面化し、この形状を利用して下部の電極、誘電体膜及び上部の電極を順

に粗面化することを行う。本実施の形態においては、部分的に除去された酸化膜をマスクとしてこの酸化膜の直下に存在する下部の電極たるポリシリコンを粗面化し、誘電体膜及び上部の電極を粗面化する第2の製造方法について示す。

【0050】図12～図18は、本実施の形態に従う、キャパシタの製造方法を工程順に例示する断面図である。図12に示されるウェーハは、シリコン基板300上に層間絶縁膜301、ポリシリコン膜302及び酸化膜303が順に積層されている構造を有する。

【0051】次に、図12に示されるウェーハに対してパターニングを施す。図13は、下層ポリシリコン電極302a、302b及び酸化膜303a、303bを備えるウェーハの構造を例示する断面図である。下層ポリシリコン電極302a、302b及び酸化膜303a、303bは、ポリシリコン膜302及び酸化膜303がパターニングされて形成されたものである。

【0052】以下においては、下層ポリシリコン電極302aは粗面化されるべき電極であり、下層ポリシリコン電極302bは粗面化されない電極であるものとして説明を行う。

【0053】図12に示される工程に引き続き、図13に示されるウェーハに対してフォトレジストを形成する。図14は、フォトレジスト304が形成されたウェーハの構造を例示する断面図である。粗面化されない下層ポリシリコン電極302b上の酸化膜303bはフォトレジスト304によって完全に被覆されているが、粗面化されるべき下層ポリシリコン電極302a上の酸化膜303aはフォトレジスト304によって部分的に露出を許されている。

【0054】引き続き、酸化膜303aのうちフォトレジスト304によって露出を許されている部分を、実施の形態1又は実施の形態2に記載の方法によって部分的に除去する。図15は、下層ポリシリコン電極302aの表面を部分的に露出する露出孔303hが形成されたウェーハの構造を例示する断面図である。

【0055】引き続き、露出孔303hを有する酸化膜303aをマスクとして、ポリシリコンの選択的なエッチングを弗酸等を用いて行う。すると、図16に示されるように、下層ポリシリコン電極302aのうち露出孔303hによって露出される部分が除去される。勿論、フォトレジスト304によって被覆されている酸化膜303b下の下層ポリシリコン電極302bは除去されない。

【0056】引き続き、フォトレジスト304及び酸化膜303a、303bを除去する。図17は、それぞれの表面が露出されている下層ポリシリコン電極302a、302bを備えるウェーハの構造を例示する断面図である。下層ポリシリコン電極302aは表面が粗面化されており、下層ポリシリコン電極302bの表面は平

滑である。

【0057】誘電体及びポリシリコンの成膜及びパターニングを経て、図18に例示される構造が得られる。下層ポリシリコン電極302a上には誘電体膜305a及び上層ポリシリコン電極306aが、下層ポリシリコン電極302b上には誘電体膜305b及び上層ポリシリコン電極306bがそれぞれ積層されている。

【0058】誘電体膜305a及び上層ポリシリコン電極306aは、表面が粗面化された下層ポリシリコン膜302aによってその形状が決定される。従って、下層ポリシリコン電極302a、誘電体膜305a及び上層ポリシリコン電極306aによって粗面キャパシタが構成される。一方、下層ポリシリコン電極302b、誘電体膜305b及び上層ポリシリコン電極306bによって平滑キャパシタが構成される。

【0059】本実施の形態で説明される第2の製造方法においては、実施の形態3で説明される第1の製造方法と同様に、粗面キャパシタと平滑キャパシタとを同時に形成することが可能である。尚、本実施の形態で説明される第2の製造方法の方が、実施の形態3で説明される第1の製造方法と比較して、下層ポリシリコン電極302aの部分的なエッチングを行う図16の工程の分だけ手間を要する。しかし、実施の形態5において説明するように、本実施の形態で説明される第2の製造方法は電極が3次元的である場合にも好適に対応することが可能である。

【0060】実施の形態5. 本実施の形態においては、実施の形態4で説明される第2の製造方法を3次元的な電極の粗面化に用いることについて示す。図19～図23は、実施の形態4で説明される第2の製造方法を円筒型の粗面キャパシタの製造に用いる例を工程順に示す断面図である。

【0061】まず、図19に示されるような、ストレージノードと呼ばれる円筒型の下層ポリシリコン電極401を層間絶縁膜400上に形成する。下層ポリシリコン電極401は、層間絶縁膜400上において断面が横に寝ているコの字形状である。

【0062】次に、図12に示される工程と同様に、下層ポリシリコン電極401の表面を薄く酸化する。図20は、表面が酸化された下層ポリシリコン電極401の構造を例示する断面図である。

【0063】引き続き、図21に示されるように、下層ポリシリコン電極401の酸化された表面上に水滴102aを形成する。水滴102aにHFを溶かし込み酸化膜を部分的に除去した後に、図16に示される工程と同様に下層ポリシリコン電極401のポリシリコンを部分的に除去する。弗酸に対して耐性のある材料を層間絶縁膜400として用いることによって、層間絶縁膜400の表面が粗面化されることは回避される。また、層間絶縁膜400を酸化シリコンによって得ている場合には、

図21に示される工程において、層間絶縁膜の表面をフォトレジストによって被覆すれば良い。

【0064】下層ポリシリコン電極401の表面の酸化膜を除去すると、図22に示される、表面が粗面化された下層ポリシリコン電極401が得られる。この後に誘電体膜402及び上層ポリシリコン電極403を下層ポリシリコン電極401上に順に形成する。図23は、下層ポリシリコン電極401、誘電体膜402及び上層ポリシリコン電極403によって構成される粗面キャパシタの構造を例示する断面図である。

【0065】次に、厚膜スタック型の粗面キャパシタの場合について説明を行う。図24～図26は、実施の形態4で説明される第2の製造方法によって厚膜スタック型の粗面キャパシタを製造する例を工程順に示す断面図である。図24～図26と図19～図23とにおいてそれぞれ例示される製造方法は、実質的に同一である。

【0066】まず、図24に示されるような、芯電極と呼ばれる厚膜の下層ポリシリコン電極501を備えた層間絶縁膜500を用意する。次に、図20及び図21に示される工程と同様に、下層ポリシリコン電極を部分的に除去する。図25は、粗面化された下層ポリシリコン電極の構造を例示する断面図である。誘電体膜502及び上層ポリシリコン電極503を順次形成して、図26に示される厚膜スタック型の粗面キャパシタが得られる。

【0067】実施の形態3で説明される第1の製造方法を用いて3次元的な電極の粗面化を行う場合について考察する。この方法においては、粗面化された酸化膜の形状を利用して、この酸化膜上に堆積された下層ポリシリコン電極、誘電体膜及び上層ポリシリコン電極に湾曲を持たせる。従って、例えば図23に示されるようなスタック型のポリシリコン電極を第1の製造方法を用いて得ることは、実質的に不可能である。

【0068】従って、実施の形態4で説明される第2の製造方法は、3次元的な電極を得る際に非常に有用な方法であるといえる。

【0069】実施の形態6. 以上の説明においては水を成分とする水蒸気を用いる場合であったが、IPA（イソプロピルアルコール）等のアルコールを成分とする蒸気を用い、HFを溶かし込んでも良い。アルコールは酸化膜101に対して疎であるので、アルコール蒸気が結露することによって得られる液滴は、同量の水の場合よりも少ない面積にて酸化膜101に接触することになる。

【0070】従って、高集積化される半導体装置のキャパシタを形成する際に穴101hの直径を微細にしなければならないときにも、アルコールを用いることによって好適に対応することが可能となる。

【0071】

【発明の効果】請求項1に記載の構成によれば、エッチ



ング液滴を半導体酸化膜の表面上に形成するという簡易な方法によって、半導体層を粗面化して表面積を大きくすることが可能となる。従って、粗面化された半導体層を電極として用いることによって、占有面積に対して容量が大きいキャパシタが簡易に得られる。

【0072】請求項2に記載の構成によれば、液滴を所望の大きさ及び個数にて形成した後にエッチングガスを溶解させることによって半導体酸化膜を部分的に除去することが可能となる。これによって、半導体酸化膜の除去の制御が簡易かつ確実になる。

【0073】請求項3に記載の構成によれば、半導体酸化膜に対して疎であるアルコールを用いることによって、液滴の半導体酸化膜の表面に対する接触面積を小さくすることが可能となる。これによって、半導体装置が高集積されるものである場合にも好適に対応することが可能となる。

【0074】請求項4及び請求項5に記載の構成によれば、半導体層を半導体酸化膜上に堆積させる方法又は半導体酸化膜をマスクとして半導体層を部分的に除去する方法によって、請求項1に記載の半導体装置の製造方法を実現することが可能となる。特に請求項5に記載の構成は、半導体層の表面に半導体酸化膜を形成すれば良いので、立体的な電極を用いるキャパシタの製造にも適用することが可能である。

【0075】請求項6に記載の構成によれば、半導体酸化膜のうち半導体層の表面が粗面化されるべき部分のみをレジスト膜によって被覆することによって、半導体集積回路内に粗面化された半導体層を有するキャパシタと有しないキャパシタとが同時に形成される。占有面積がキャパシタ毎に割り当てられているときにも、粗面化の成否によってキャパシタの容量が所望に変更できるという利点を得られる。

【0076】請求項7に記載の構成によれば、半導体集積回路の製造において一般に用いられる酸化シリコンを、同様に一般に用いられるフッ化水素を用いて部分的に除去することが可能となる。従って、既存の材料を用いて請求項4及び請求項5に記載の半導体装置の製造方法を実現することが可能となる。更に、弗酸は酸化シリコンのエッチング作用が大きいので、請求項1に記載の方法において、効率の良い半導体酸化膜の部分的除去が、ひいては効率の良い半導体装置の製造が果たされる。

【0077】請求項8に記載の構成によれば、載置台の温度並びにガス及び蒸気の流量を制御することによって、半導体酸化膜上に形成される液滴の個数及び大きさを所望に得ることが可能となる。これによって、例えば請求項2に記載の半導体装置の製造方法を請求項8に記載の半導体装置の製造装置において行うことが可能となる。

【図面の簡単な説明】

【図1】 実施の形態1の製造装置の構造を例示する断面図である。

【図2】 実施の形態1の酸化膜の部分的な除去方法を工程順に例示する断面図である。

【図3】 実施の形態1の酸化膜の部分的な除去方法を工程順に例示する断面図である。

【図4】 実施の形態1の酸化膜の部分的な除去方法を工程順に例示する断面図である。

【図5】 実施の形態1の酸化膜の部分的な除去方法を工程順に例示する断面図である。

【図6】 実施の形態2の酸化膜の部分的な除去方法を工程順に例示する断面図である。

【図7】 実施の形態2の酸化膜の部分的な除去方法を工程順に例示する断面図である。

【図8】 実施の形態3の第1のキャパシタの製造方法を工程順に例示する断面図である。

【図9】 実施の形態3の第1のキャパシタの製造方法を工程順に例示する断面図である。

【図10】 実施の形態3の第1のキャパシタの製造方法を工程順に例示する断面図である。

【図11】 実施の形態3の第1のキャパシタの製造方法を工程順に例示する断面図である。

【図12】 実施の形態4の第2のキャパシタの製造方法を工程順に例示する断面図である。

【図13】 実施の形態4の第2のキャパシタの製造方法を工程順に例示する断面図である。

【図14】 実施の形態4の第2のキャパシタの製造方法を工程順に例示する断面図である。

【図15】 実施の形態4の第2のキャパシタの製造方法を工程順に例示する断面図である。

【図16】 実施の形態4の第2のキャパシタの製造方法を工程順に例示する断面図である。

【図17】 実施の形態4の第2のキャパシタの製造方法を工程順に例示する断面図である。

【図18】 実施の形態4の第2のキャパシタの製造方法を工程順に例示する断面図である。

【図19】 実施の形態5のキャパシタの製造方法の一例を工程順に示す断面図である。

【図20】 実施の形態5のキャパシタの製造方法の一例を工程順に示す断面図である。

【図21】 実施の形態5のキャパシタの製造方法の一例を工程順に示す断面図である。

【図22】 実施の形態5のキャパシタの製造方法の一例を工程順に示す断面図である。

【図23】 実施の形態5のキャパシタの製造方法の一例を工程順に示す断面図である。

【図24】 実施の形態5のキャパシタの製造方法の他例を工程順に示す断面図である。

【図25】 実施の形態5のキャパシタの製造方法の他例を工程順に示す断面図である。



【図26】 実施の形態5のキャパシタの製造方法の他例を工程順に示す断面図である。

【図27】 従来のキャパシタの製造方法を工程順に示す断面図である。

【図28】 従来のキャパシタの製造方法を工程順に示す断面図である。

【図29】 従来のキャパシタの製造方法を工程順に示す断面図である。

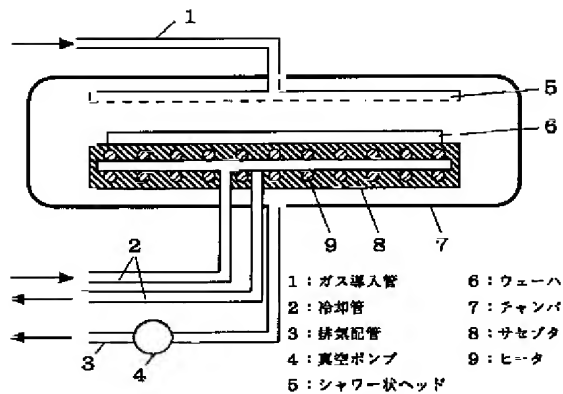
【図30】 従来のキャパシタの製造方法の問題点を示す断面図である。

【図31】 従来のキャパシタの製造方法の問題点を示す断面図である。

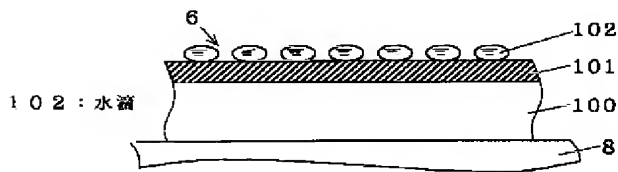
【符号の説明】

1 ガス導入管、2 冷却管、3 排気配管、4 真空ポンプ、5 シャワー状ヘッド、6 ウェーハ、7 チャンバ、8 サセプタ、9 ヒータ、100、200、300 シリコン基板、101、201、303、303a、303b酸化膜、101h、202h 穴、102、102a 水滴、202、304フォトリソ、203a、203b、302a、302b、401、501下層ポリシリコン電極、204a、204b、305a、305b、402、502 誘電体膜、205a、205b、306a、306b、403、503上層ポリシリコン電極、301、400、500 層間絶縁膜、302 ポリシリコン膜、303h 露出孔。

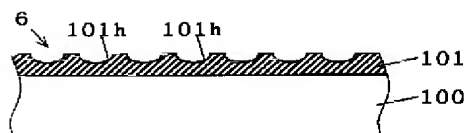
【図1】



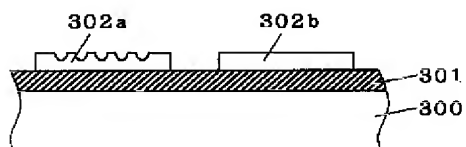
【図3】



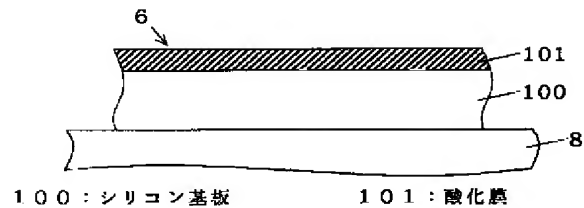
【図5】



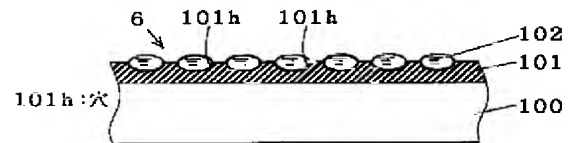
【図17】



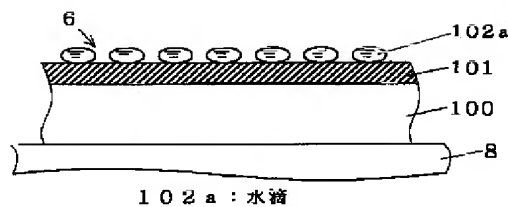
【図2】



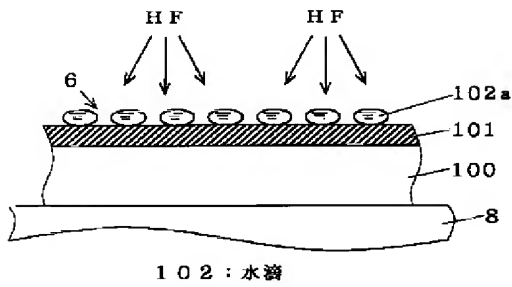
【図4】



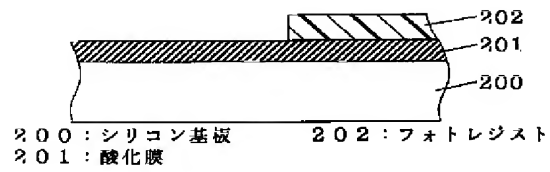
【図6】



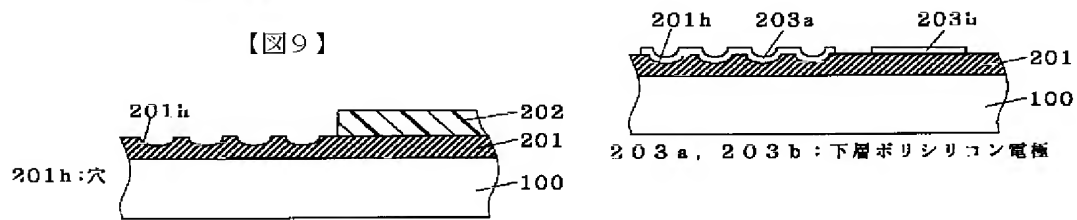
【図7】



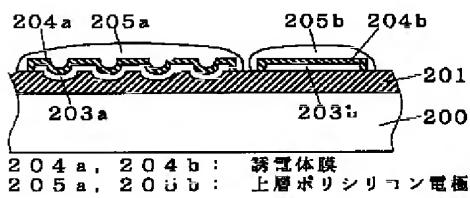
【図8】



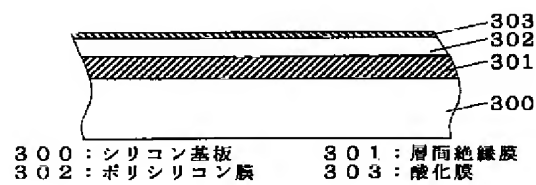
【図10】



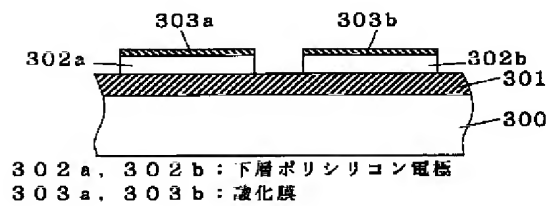
【図11】



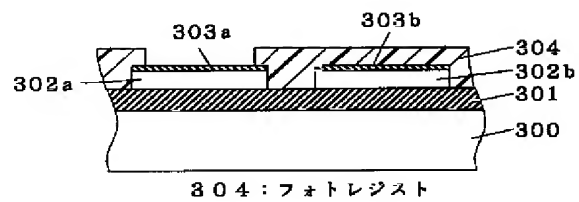
【図12】



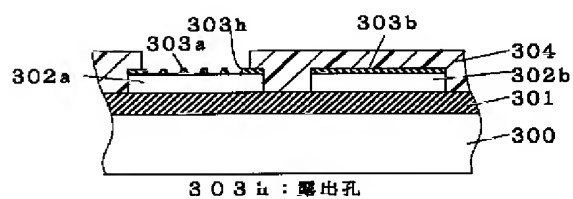
【図13】



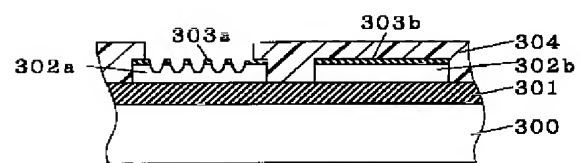
【図14】



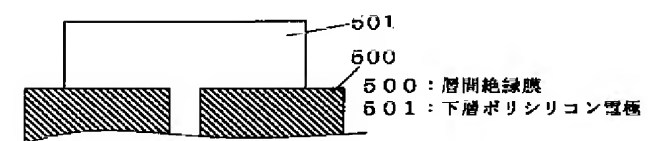
【図15】



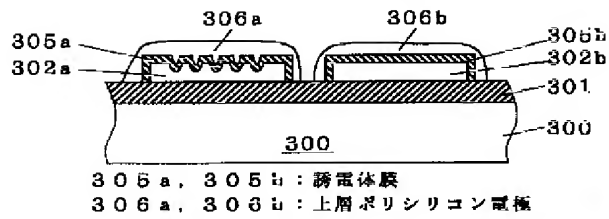
【図16】



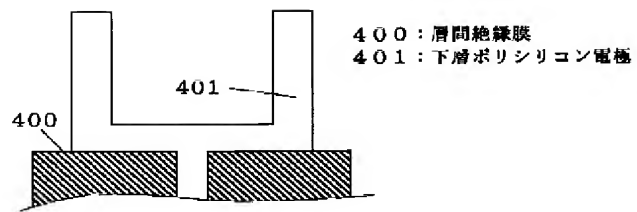
【図24】



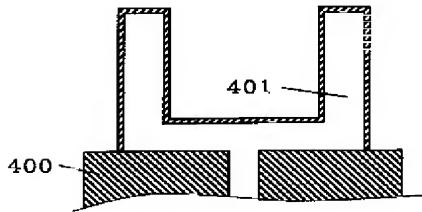
【図18】



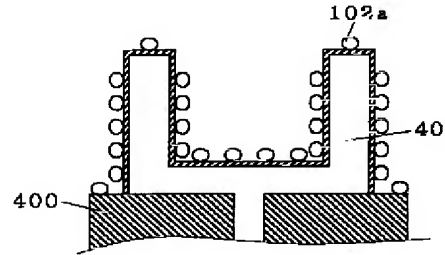
【図19】



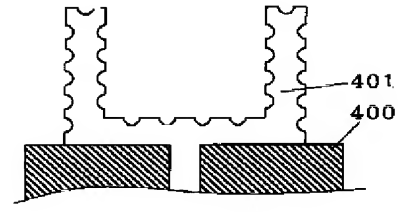
【図20】



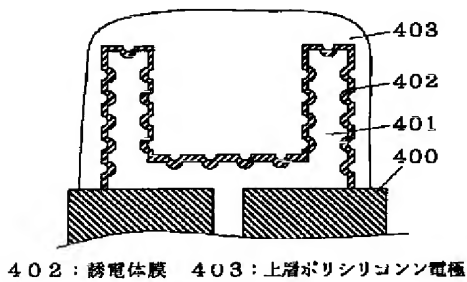
【図21】



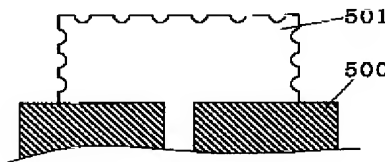
【図22】



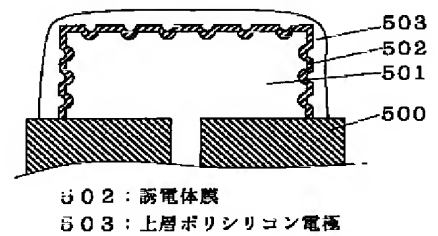
【図23】



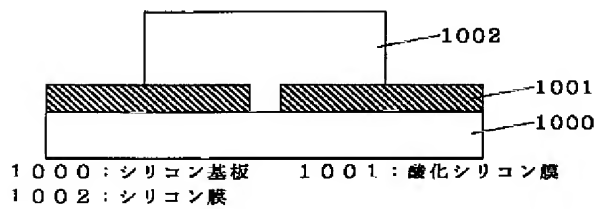
【図25】



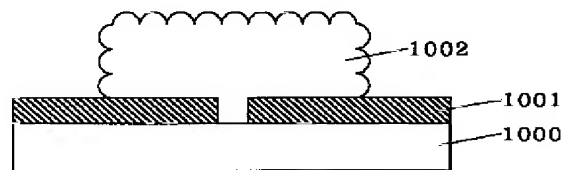
【図26】



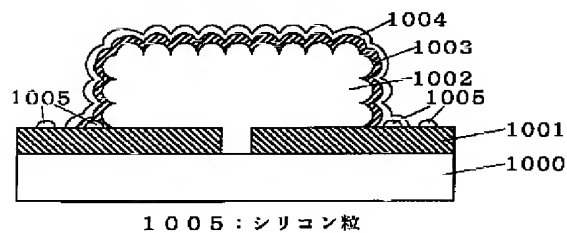
【図27】



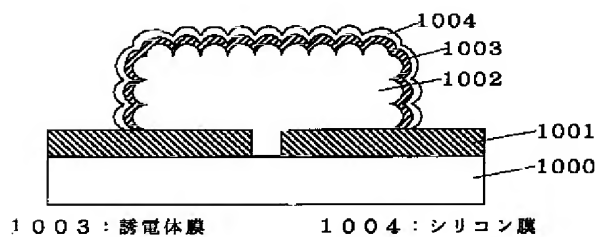
【図28】



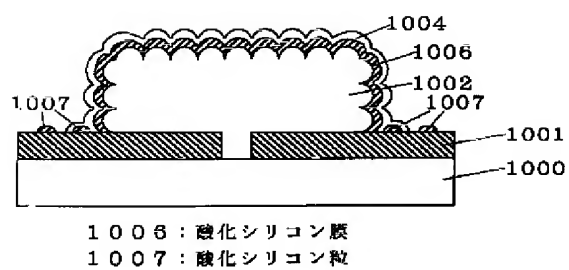
【図30】



【図29】



【図31】



---

フロントページの続き

(72)発明者 村岡 俊一

兵庫県伊丹市瑞原四丁目1番地 菱電セミ  
コンダクタシステムエンジニアリング株式  
会社内

(72)発明者 中村 正

兵庫県伊丹市瑞原四丁目1番地 菱電セミ  
コンダクタシステムエンジニアリング株式  
会社内